

PATENT ABSTRACTS OF JAPAN

(11) Publication number : **09-045785**

(43) Date of publication of application : 14.02.1997

(51)Int.Cl. H01L 21/82
H01L 21/8238
H01L 27/092
H03K 19/0175
H03K 19/0948

(21) Application number : 08-202837

(71)Applicant : **MOTOROLA INC**

(22) Date of filing : 12.07.1996

(72) Inventor : ALBERTO J REYES

**DANIEL J SIDAR
SULEYMAN N CHAMON
KAREN S RAYMONDITTA**

(30)Priority

Priority number : 95 506447 Priority date : 24.07.1995 Priority country : US

(54) METHOD OF SELECTING HIGH-SPEED-SMALL POWER THRESHOLD VOLTAGE

(57)Abstract

PROBLEM TO BE SOLVED: To provide a method of selecting threshold voltage of an element for maintaining a high-speed operation while reducing power consumption.

SOLUTION: To begin with, a critical path is discriminated by a specified standard (42). All transistors have a high initial threshold voltage (40). For the transistors excluding those on the critical path, the static power outflow is minimized, holding the initial high threshold voltage. Speed up of switching is materialized, selecting the transistors within the critical path by a specified standard (43), and giving it a low threshold voltage. For an element low in threshold voltage, static power consumption in a standby mode is large, but this power outflow is accepted as the trade off for raising the passage speed of critical path. The operation with a higher frequency becomes possible while optimizing the integrated circuit and reducing the general power consumption by lowering the

supply voltage and minimizing the dynamic power.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-45785

(43)公開日 平成9年(1997)2月14日

(51) Int.Cl.*	識別記号	府内整理番号	F I	技術表示箇所
H 0 1 L	21/82 21/8238 27/092		H 0 1 L 21/82 27/08	T C 3 2 1 L
H 0 3 K	19/0175 19/0948		H 0 3 K 19/00 19/094	1 0 1 F B

審査請求 未請求 請求項の数5 FD (全9頁)

(21)出願番号	特願平8-202837
(22)出願日	平成8年(1996)7月12日
(31)優先権主張番号	5 0 6 4 4 7
(32)優先日	1995年7月24日
(33)優先権主張国	米国(US)

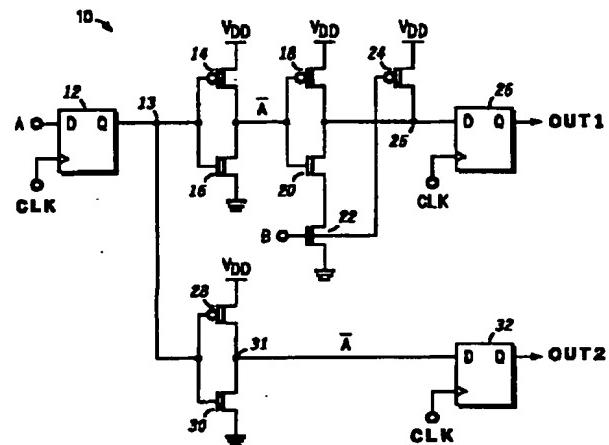
(71)出願人	390009597 モトローラ・インコーポレイテッド MOTOROLA INCORPORATED
	アメリカ合衆国イリノイ州シャンバーグ、 イースト・アルゴンクイン・ロード1303
(72)発明者	アルベルト・ジェイ・レイエス アメリカ合衆国アリゾナ州フェニックス、 イースト・バーベナ・ドライブ4511
(72)発明者	ダニエル・ジェイ・シダー アメリカ合衆国アリゾナ州ペオリア、ノース・69ス・ドライブ12412
(74)代理人	弁理士 大賀 進介 (外1名) 最終頁に続く

(54)【発明の名称】 高速・低電力用しきい電圧選択方法

(57)【要約】

【目的】 電力消費を低減しつつ、高速動作を維持するための、素子(14~16, 18~24, 28~30)のスレシホールド電圧選択方法を提供する。

【構成】 まず、所定の基準によってクリティカルな経路を識別する(42)。全トランジスタは、高い初期スレシホールド電圧を有する(40)。クリティカルな経路以外のトランジスタは、初期の高スレシホールド電圧を保持し、静的電力流出を最少に抑える。クリティカルな経路内のトランジスタを、所定の基準によって選択し(43)、低いスレシホールド電圧を与えて、スイッチングの高速化を図る。スレシホールド電圧が低い素子は、スタンバイ・モードでの静的電力消費が多いが、この電力流出は、クリティカルな経路の通過速度を高めるためのトレードオフとして受け入れられる。供給電圧を低下し、動的電力を最少に抑えて集積回路を最適化し、全体的な電力消費を低減しつつ、より高い周波数での動作が可能になる。



【特許請求の範囲】

【請求項1】素子のスレシホールド電圧を選択する、コンピュータにより実行される方法であつて：回路内のクリティカルな経路を識別する段階（42）；所定のソーティング機能にしたがつて、前記クリティカルな経路内の素子を選択し、スレシホールド電圧を調節する段階（43）；および前記クリティカルな経路内の前記選択された素子のスレシホールド電圧を調節し、所定の時間的制約に合わせる段階（44）；から成ることを特徴とする方法。

【請求項2】前記クリティカルな経路を識別する段階（42）は：動作周波数にクロック信号を割り当てる段階（50）；前記回路ノードに関し、前記クロック信号に対する時間的制約を設定する段階（52）；第1および第2ノード間で、前記回路の回路素子の伝搬遅延を合計する段階（54）；前記伝搬遅延の合計が、前記第2ノードに到達する信号に対して前記時間的制約を満たさない場合、前記第1および第2ノード間の経路をクリティカルとして識別する段階（56）；および前記伝搬遅延の合計が、前記第2ノードに到達する信号に対して前記時間的制約を満たす場合、前記第1および第2ノード間の経路をクリティカルでないとして識別する段階（58）；から成ることを特徴とする請求項1記載の方法。

【請求項3】素子のスレシホールド電圧を選択する、コンピュータにより実行される方法であつて：各々が初期スレシホールド電圧を含む回路内素子のネットリストを用意する段階（40）；前記回路内のクリティカルな経路を識別する段階（42）；所定のソーティング機能にしたがつて、前記クリティカルな経路内の素子を選択し、スレシホールド電圧を調節する段階（43）；および前記クリティカルな経路内の前記選択された素子のスレシホールド電圧を調節し、所定の時間的制約に合わせる段階（44）；から成ることを特徴とする方法。

【請求項4】前記クリティカルな経路を識別する段階（42）は：入力ベクトルを前記回路の入力に与える段階（60）；測定された出力ベクトルを既知の良好な出力ベクトルと比較する段階（62）；前記測定されたベクトルが前記既知の良好な出力ベクトルと一致しない場合、出力および関連する経路をクリティカルとして識別する段階（64）；および前記測定されたベクトルが前記既知の良好な出力ベクトルと一致する場合、出力および関連する経路をクリティカルでないとして識別する段階（66）；から成ることを特徴とする請求項3記載の方法。

【請求項5】素子のスレシホールド電圧を選択する装置であつて：回路内のクリティカルな経路を識別する手段；所定のソーティング機能にしたがつて、前記クリティカルな経路内の素子を選択し、スレシホールド電圧を調節する手段；および前記クリティカルな経路内の前記選択された素子のスレシホールド電圧を調節し、所定の時間的制

約に合わせる手段；から成ることを特徴とする装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路の設計に關し、更に特定すれば、高速および低電力消費のために回路設計を最適化する際の、素子のスレシホールド電圧の選択に関するものである。

【0002】

【従来の技術】ページャ、ならびにセルラおよびコードレス電話機のように、電池（バッテリ）駆動装置に用いる場合には特に、高速性および消費電力は集積回路（IC）の設計における重要な考察事項である。全消費電力は、通常、動的電力（dynamic power）と静的電力（static power）との2つの要素に分割される。動的電力とは、増幅、スイッチング、および一般的にトランジスタを一方の状態から他方の状態にしたり、付随する容量性負荷に起因する、通常の回路動作で消費される電力のことである。静的電力とは、回路がインアクティブなスタンバイ・モード（待ち受けモード）において、静止漏れ電流（quiescent leakage current）によって消費される電力のことである。電池の寿命は、通常動作およびスタンバイ・モード双方の間の回路における電力消費を最少に抑えることによって、延長させることが可能である。

【0003】従来技術では、電力消費を低減する一般的な技法は、単純に供給電圧を減少させることであった。動的電力消費は、供給電圧の2乗の関数である。したがって、供給電力を減少させれば、動的電力消費の低減に大きな効果がある。しかしながら、半導体プロセスによって決定されるいくつかの動作点において、供給電圧が素子の導通し始める素子のスレシホールド電圧に近付くにつれて、動的電力が実質的に減少しても、なおスレシホールド以下の漏れ電流（sub-threshold leakage current）が電池から流出する可能性がある。

【0004】

【発明が解決しようとする課題】したがつて、動的電力および静的電力を含む集積回路における全電力消費を低減しつつ、高速動作を維持する必要性がある。

【0005】

【課題を解決するための手段】本発明は、電力消費を低減しつつ高速動作を維持するために、素子のスレシホールド電圧を選択する方法を提供する。まず、所定の基準によってクリティカルな経路（critical path）を識別する。全トランジスタは高の初期スレシホールド電圧（しきい電圧）を有する。クリティカルな経路外のトランジスタは、初期の高スレシホールド電圧を保持し、静的電力流出を最少に抑える。クリティカルな経路内のトランジスタを、所定の基準によって選択し、低いスレシホールド電圧を与えて、スイッチングの高速化を図る。スレシホールド電圧が低い素子は、スタンバイ・モードでの静的電力消費が多いが、この電力流出は、クリティカルな経路の

通過速度を高めるためのトレードオフとして受け入れられる。供給電圧を低下し、動的電力を最少に抑えて集積回路を最適化し、全体的な電力消費を低減しつつ、より高い周波数での動作が可能になる。

【0006】

【発明の実施の形態】図1を参照すると、デジタル集積回路10の構成図が示されている。回路10は、例えば、VDD=1.0ボルトの低供給電圧動作のために変換された既存の構造、または高速、低供給電圧、および低電力で動作しなければならない新たな構造とすることができる。D-型フリップフロップ1-2は、そのD-入力で入力Aを、そのクロック入力でクロック信号CLKを受信する。フリップフロップ1-2のノード1-3におけるQ-出力は、信号反転Aを発生するための反転器（インバータ）として動作するトランジスタ14, 16のゲートに結合されている。トランジスタ18, 20, 22, 24の組み合わせは、NANDゲートとして動作し、信号反転AとBとを受信する。ノード25におけるNANDゲートの出力は、フリップフロップ2-6のD-入力に印加され、クロック信号CLKに応答して、出力OUT1に結果反転（反転A・B）を送出する。また、フリップフロップ1-2のQ-出力は、反転器として動作するトランジスタ28, 30を通過して、ノード31に信号反転Aを供給する。D-型フリップフロップ3-2は、クロック信号CLKに応答して、反転器28～30からの信号反転Aを、出力OUT2に送出する。

【0007】図1のトランジスタは、各々、それがオンとなって導通を開始する点を規定するゲート・スレシホールド電圧(Vt)を有する。以下で論じる多数のスレシホールド電圧に対するプロセスを用いることによって、互いに隣接していても、これらトランジスタが異なるスレシホールド電圧を持つように設定することができる。低いVtを有するトランジスタは、高いVtを有するトランジスタと比較すると、より低い供給電圧で、より高いスイッチング速度で動作する。その理由は、これらのトランジスタは、より低いゲート電圧で導通状態に切り換るからである。低側(down side)では、スレシホールド電圧を低下させると、漏れ電流および静的電力消費が増大する。Vtが高いトランジスタを有する回路は、ゲート電圧が必要なレベルに達して導通を開始するためにかかる時間が長く、しかも飽和電流が低く、そのためにトランジスタが容量性負荷を充電するためにかかる時間が長くなるので、動作が遅くなる。Vtが高いトランジスタは、スタンバイ・モードでは漏れ電流が少ないので、静的電力の散逸は少ない。

【0008】図1に示したような回路構造では、その目的は、動的および静的電力消費を最少に抑えつつ、動作速度を最大に高めることである。動的電力の低減は、単純に供給電圧をVDD=1.0ボルトに低下させれば可能となる。しかしながら、従来の技術の技術で論じたよう

に、供給電圧を低下させると、動作速度に悪影響を及ぼす傾向がある。集積回路の最大動作速度は、通常、1本以上のクリティカルな経路を通過するタイミングによって決定される。クリティカルな経路とは、IC内部で回路素子によって分離されている2ノード間であって、当該素子による伝搬遅延が、例えば、クロック信号に対して設定されている経路内の時間的制約(timing constraints)を超過するか、またはそれを満たす可能性がほとんどない場合と定義される。高速化を図る1つの方法は、クリティカルな経路内のトランジスタのスレシホールド電圧を低下させることである。Vtが低いトランジスタはスイッチングが速いので、ICのクリティカルな経路による伝搬遅延が最少となる。高速化は、Vtが低い素子において漏れ電流が多くなることを犠牲として伴い、スタンバイ・モードにおいて、そのために静的電力消費が増大することになる。

【0009】本発明の特徴の1つとして、回路10のクリティカルな経路は、以下で論じる所定のタイミング基準によって識別される。全てのトランジスタには初期スレシホールド電圧が割り当てられており、典型的に、電圧範囲の上端で約700ミリボルト(mV)である。クリティカルな経路外のトランジスタは、初期高スレシホールド電圧を保持し、漏れ電流を最少に抑え、かつ電力の流出を保存するように設定される。Vtが高いトランジスタは動作速度が低いが、これらはいずれのクリティカルな経路にも含まれていないという事実のため、低速であることによって時間的な制約を既に満たしているので、性能上の悪影響は最少に抑えられる。クリティカルな経路内の1つ以上のトランジスタは、低いVtを有するように調節され、これによってスイッチングの高速化を図る。Vtが低いトランジスタはスタンバイ・モードではより多くの静的電力を消費するが、その電力流出は、クリティカルな経路を通過する速度を高めるためのトレードオフとして受け入れられる。したがって、静的電力の消費は多いがスイッチング速度が速い、クリティカルな経路内のVtが低いトランジスタと、Vtが高く動作は遅いが静的電力の消費は少ない、非クリティカルな経路のトランジスタとの間で、平衡(balance)が達成される。その結果、ICは最適化され、より高い周波数で動作し、全体の電力消費に対する影響を最少に抑えることになる。

【0010】高速および低電力のためのスレシホールド電圧選択方法論(methodology)を図2に示す。この方法論は、パーソナル・ワークステーションのようなコンピュータ上のコンピュータ・ソフトウェアによって実行される。プロセッサ、メモリ、およびコーディング(coding)を備えたコンピュータ・システムは、図2ないし図4のステップを実行する手段を与えるものである。ステップ4-0において、トランジスタ14～24, 28, 30を含む、回路設計を規定するトランジスタのネットリスト

(netlist)を用意する。ネットリストは、各トランジスタがその構成に必要な多数のパラメータを規定するものであり、各トランジスタが導通を開始する初期スレシホールド電圧を含む。一実施例では、全トランジスタが 700 mV の初期高スレシホールドを有する。他の実施例では、これらトランジスタの内あるものは高い初期スレシホールド電圧を有し、一方他のものは、低い初期スレシホールド電圧、例えば 350 mV を有するように設定される場合もある。

【0011】ステップ 42において、回路設計におけるクリティカルな経路を識別する。クリティカルな経路は、回路素子によって分離されている 2 ノード間の伝搬遅延が、最大の時間的基準値を超過するか、あるいはほとんど満たし得ない経路である。この最大の基準値は、通常、外部クロック CLK の周波数に関して設定される。典型的に、最も長い伝搬遅延がクリティカルな経路である。クリティカルな経路を識別する方法について、更に図 3において説明する。ここでは、反転器 14～16 および NAND ゲート 18～24 がクリティカルな経路として識別され、反転器 28～30 が非クリティカルな経路として識別されると仮定する。ステップ 43において、クリティカルな経路内のあるトランジスタを選択し、それらのスレシホールド電圧を所定の選択ソーティング機能(selection sorting function)にしたがって調節し、所定のタイミング制約を満たす。通常、トランジスタの選択は、それらの性質(propensity)にしたがって行われ、高速化を図りつつ、静的電力消費への影響を最少に抑えるようにする。

【0012】ステップ 44において、クリティカルな経路内で選択されたトランジスタ 14～16, 18～24 を調節し、所定の時間的基準(timing criteria)を満たす。全てのトランジスタを最初に高い V_t に設定する場合、この調節は、トランジスタ 14～16, 18～20 の内の 1 つ以上のスレシホールド電圧を低下させ、それらのスイッチング速度を高めることによってタイミング性能向上されることである。ここでも、V_t が低いトランジスタの静的電力消費が増加するが、時間的制約を満たすために、この犠牲は受け入れられることは理解されよう。トランジスタ 28～30 は非クリティカルな経路内にあり、静的電力消費を節約するために高いスレシホールド電圧に保持されている。これらのトランジスタはクリティカルな経路にはないので、即ち、ノード 31 に対して設定されたタイミング制約が、低速であるために既に満たされているので、これらの低速は受け入れ可能と看做される。可能な場合に電力を保存する方が重要である。

【0013】ステップ 46 では、予め規定された時間的基準に対して、測定、シミュレート、または計算されたクリティカルな経路の特性(performance)を確認しつつ、全体的な電力要件に対して、回路設計全体としての

確認を行う。シミュレーションでは回路 10 が時間的基準を満たさない場合、静的電力が増加するのを犠牲にして、クリティカルな経路内の他のトランジスタには低いスレシホールド電圧が割り当てられる。シミュレーションの間、回路 10 が静的電力要求を満たさない場合、ステップ 48 において説明したように、あるスレシホールド電圧が調節される。例えば、時間的基準は満たし続けることを条件に、クリティカルな経路内の 1 つ以上のトランジスタのスレシホールド電圧を高める。あるいは、非クリティカルな経路をクリティカルな経路にしないことを保証するのは重要なことを念頭に入れつつ、非クリティカルな経路内の 1 つ以上のスレシホールド電圧を高めて、静的電力散逸を更に低減させることも可能である。更に別のオプションは、ステップ 42 においてクリティカルとして指定された経路が、回路動作全体にとって本当にクリティカルか否かを確認することである。ある伝搬経路をクリティカルであると誤って識別する可能性もある。全てのクリティカルな経路が、回路設計の全タイミング要件に対して同じ影響を有する訳ではない。クリティカルな経路であると判断された後でも伝搬経路によっては、そのタイミングの影響が回路全体の設計仕様におさまっている場合、それに対応する高スレシホールド電圧や低電力消費によって、非クリティカルな経路として再分類されるものもあり得る。

【0014】図 3 に移ると、クリティカルな経路を識別するステップ 42 が、ステップ 50 を含むものとして、更に詳細に記載されている。ステップ 50 では、最初にクロック信号 CLK の動作周波数が、例えば、10.0 MHz に割り当てられる。ステップ 52 では、ある数の時間的制約が、回路機能に応じて設定される。通常、時間的制約は、特定経路のトランジスタを通過する受け入れ可能な遅延を考慮に入れた相対的または絶対的測定値として、クロック信号に対する、あるノードへの信号の到達時間を規定する。例えば、1 つの時間的制約は、フリップフロップ 12 がクロックによって駆動された(clocked)後に、次の CLK クロック信号の立ち下がりエッジの 5.0 ナノ秒(n s) 前に、信号がノード 25 に到達するというものである。同様に、他の時間的制約は、次の CLK クロック信号の立ち下がりエッジの 5.0 ナノ秒(n s) 前に、信号がノード 31 に到達するというものである。ステップ 54 では、第 1 および第 2 ノード間の回路素子の伝搬遅延を合計する。例えば、反転器 14～16、NAND ゲート 18～24、および反転器 28～30 を通過する際の伝搬遅延が各々 10.0 ns として与えられるとすると、ノード 13, 25 間の伝搬遅延の合計は 20.0 ns となり、ノード 13, 31 間の伝搬遅延は 10 ns となる。フリップフロップ 12, 26, 32 を通過する際の遅延は、各々 10.0 ns として与えられる。ステップ 56 において、中間回路素子の伝搬遅延の合計が、ノード 25 に到達する信号の時間的

制約を満たさない場合、ノード13, 25間の経路はクリティカルとして識別される。また、時間的制約がほぼ満たされるが、更に温度のような外部影響のためのプロセス変動や動作上のドリフトに対応するロバスト性(robustness)をも考慮に入れて、その経路はクリティカルとして識別される。クロック信号CLKが30.0 ns毎に立ち上がりエッジを有する場合、信号Aはフリップフロップ12、反転器14～16、およびNANDゲート18～24（全体で30.0 nsの遅延）を伝搬して、30 ns後に生じるクロック信号CLKの次の立ち上がりエッジの5.0 ns前までにノード25に到達することができないので、ノード13, 25間の経路はクリティカルとなる。所定のタイミング制約がノード13, 25間では満たされないので、したがってこの経路はクリティカルである。

【0015】ステップ58では、中間回路素子の伝搬遅延の合計が、ノード31に到達する信号に対するタイミング制約の規定内であるので、ノード13, 31間の経路が非クリティカルとして識別される。信号Aはフリップフロップ12および反転器28～30を通じて伝搬し（全体で20.0 nsの遅延）、30.0 ns後に生じる、クロック信号CLKの次の立ち上がりエッジより少なくとも5.0 ns前に、ノード31に到達するので、タイミング制約を満たすことになる。実際、5.0 nsの余裕が付加されることにより、先に論じたように、非クリティカルな経路内のトランジスタのスレシホールド電圧を更に高めて、一層静的電力の節約が可能な場合もある。

【0016】別のオプションは、2ノード間の絶対最大許容時間遅延を規定することである。絶対伝搬遅延がノード25に到達する信号に対するタイミング制約を超過すれば、ノード13, 25間の経路はクリティカルとして識別される。絶対伝搬遅延がノード31に到達する信号に対するタイミング制約を満たす場合、ノード13, 25間の経路は非クリティカルとして識別される。通常、絶対時間は遅延の合計に等しく設定されるので、クリティカルな経路を識別する結果は同様となる筈である。

【0017】クリティカルな経路を識別する別の方法を図4に示す。ステップ60において、入力信号ベクトル、例えば、 $A=1$ および $B=1$ を、回路入力に印加する。所与の入力ベクトルに対する既知の良好な出力信号ベクトルを、回路ロジックに応じて決定する。シミュレーションによって測定された出力信号ベクトルを、既知の良好な出力ベクトルと比較し、不一致の場合は全て、既に述べたタイミングの問題に帰することにする。ステップ64において、出力とその対応する経路が、既知の良好な出力ベクトルと一致しない場合、これらはクリティカルとして識別される。ステップ66において、出力およびその対応する経路が、既知の良好な出力ベクトル

と一致する場合、それらは非クリティカルとして識別される。例えば、 $A=1$ および $B=1$ の場合、回路ロジックによれば、2クロック信号CLK周期の後、OUT1は論理1 OUT2は論理0でなければならない。OUT1=0およびOUT2=0の場合、反転器14～16およびNANDゲート18～24を通過する経路は、既知の良好な出力ベクトルと一致しないので、クリティカルとして識別され、反転器28～30を通過する経路は、既知の良好な出力ベクトルと一致するので、非クリティカルとして識別される。逆に、OUT1=1およびOUT2=2の場合、反転器14～16およびNANDゲート18～24を通過する経路は非クリティカルとして識別され、一方、反転器28～30を通過する経路はクリティカルとして識別される。双方の出力が既知の良好な出力ベクトルと一致する場合、双方の経路が非クリティカルとなる。双方の出力が既知の良好な出力ベクトルと不一致の場合、双方の経路がクリティカルとなる。ここで鍵となるのは、入力信号の準備が整う前にフリップフロップ26, 32が駆動されるというレース状態(race condition)を回避することである。

【0018】図2に戻って、ステップ43は、所定のソーティング機能に従ってスレシホールド電圧を調整するために、クリティカルな経路内のトランジスタを選択することを含む。例えば、クリティカルな経路内のトランジスタを、最大個別伝搬遅延(largest individual propagation delay)にしたがってソートすることができる。あるトランジスタに対する伝搬遅延は、素子のサイズや容量性負荷のようなパラメータから決定することができる。最大伝搬遅延を有するトランジスタのスレシホールド電圧を低下させ、スイッチングを高速化することによって、最大の恩恵が得られる。即ち、スレシホールド電圧の所与の変化によってタイミング制約を満たすことができるようになる。通常、一度に1つのトランジスタが調節され、次いでステップ42を繰り返し、当該経路が非クリティカルになったか否かを判定する。

【0019】クリティカルな経路内のトランジスタを選択する他の方法は、静的電力消費の増加に影響が少ない素子の順にソートすることである。クリティカルな経路内のトランジスタには、回路がスタンバイ・モードにあっても、導通するものがある。トランスマッシュョン・ゲート(transmission gate)のような、あるタイプの回路構造は、電源電位から接地までの直接経路を有さないトランジスタを含む。かかるトランジスタは、静的電力消費に対しては無視し得る影響を有するに過ぎず、スレシホールド電圧を低下させるための選択リスト上では高い位置に置くべきである。スタンバイ・モードでオフになるトランジスタでは、それらのスレシホールド電圧を低下させると、静的電力消費への影響が大きくなるので、そう容易に選択すべきでない。他の例では、クリティカルな経路内の幾何学的形状が小さな素子は、幾何学的形状が大き

な素子よりも、スレシホールド電圧の所与の変化に対して、漏れ電流に対する影響が小さい。かかる幾何学的形状が小さいトランジスタは、静的電力節約に対する寄与は通常少ないが、これらを低いスレシホールド電圧に調節して、タイミング制約が満たされたか、そして経路がもはやクリティカルでないか否か確かめてもよい。

【0020】クリティカルな経路においてトランジスタを選択する更に他の方法は、所定のコスト関数(cost function)によってソートすることである。例えば、1つのコスト関数Cを $C = 10D + 5S$ とする。ここで、Dは伝搬遅延、Sは静的電力である。コスト関数が大きい程、そのスレシホールド電圧を低下させることによって、より大きな恩恵が得られる。この場合、係数10を有する伝搬遅延は、係数5を有する静的電力より、2倍大きな重みが与えられる。ソーティング機能は、1つ以上の上述のまたはその他のソーティング・オプションを含むマルチ・レベル・ソートとしてもよいことは理解されよう。まず最長伝搬遅延でソートし、次に静的電力消費に対する影響でソートすることにより、良好な結果を得ることができる。

【0021】上述のように、シミュレーションによって、タイミング制約を満たす際に最大の恩恵を与える1つ以上のトランジスタが、クリティカルな経路内から選択され、それらのスレシホールド電圧を低下させる。最初の調節の後でも依然として経路がクリティカルのままである場合、クリティカルな経路内で次に最も恩恵が得られるトランジスタのスレシホールド電圧を低下させ、以降、経路が非クリティカルになるまで続ける。

【0022】高速および低電力消費のために最適化されていない設計を有するICの製造において、全てのトランジスタが同一のスレシホールド調節注入(threshold adjustment implant)を受けることは異常ではない。しかしながら、一旦回路設計が最適化されたなら、識別されたクリティカルな経路内のトランジスタ、およびスレシホールド電圧低下のために選択された特定のトランジスタ(トランジスタ群)が決定したなら、かかる選択されたトランジスタは修正された注入(implant)を受ける。したがって、少なくともスレシホールド電圧が高いトランジスタおよびスレシホールド電圧が低いトランジスタの双方を有するICが生産される。注入エネルギーおよびドーパント濃度、ならびにかかるスレシホールド電圧を生成するために必要なその他の関連するプロセス特性は、半導体処理技術における当業者には公知である。

【0023】以上の説明から、本発明は、高速および低電力のための素子のスレシホールド電圧を選択する方法を

提供することが認められよう。回路10のクリティカルな経路は、所定のタイミング基準によって識別される。全てのトランジスタには初期スレシホールド電圧、典型的に、約700mVが割り当てられている。クリティカルな経路外のトランジスタは、初期の高スレシホールド電圧を保持し、漏れ電流を最少に抑え、静的電力ドレンを保存するように設定される。V_tが高いトランジスタは低速で動作するが、これらはいずれのクリティカルな経路にも入っていないという事実から、タイミング制約は既に低速であることによって満たされているので、いかなる性能上の悪影響も最少に抑えられる。クリティカルな経路内の1つ以上のトランジスタを、低いV_tを有するように調節することにより、スイッチング速度の高速化を図る。V_tが高いトランジスタはスタンバイ・モードにおいて消費する静的電力が多いが、電力流出は、クリティカルな経路を通過する速度を高めるためのトレードオフとして受け入れられる。したがって、静的電力の消費は多いが高速でスイッチングするクリティカルな経路内のV_tが低いトランジスタと、動作は低速であるが静的電力の消費が少ない非クリティカルな経路のV_tが高いトランジスタとの間の平衡が達成される。その結果、ICは、より高い周波数で動作し、かつ全体的な電力消費が低減し、最適化されることになる。

【0024】これまで本発明の具体的な実施例について示しかつ説明してきたが、更に他の変更や改善も当業者には想起されよう。したがって、本発明はここに示した特定形態に限定されないと理解されることを望み、本発明の精神および範囲から逸脱しない全ての変更は、特許請求の範囲に包含されることを意図するものである。

【図面の簡単な説明】

【図1】集積回路の構成図。

【図2】図1の回路において、静的電力消費を低減しつつ、高速化を図るステップを示すフローチャート。

【図3】クリティカルな経路を識別するステップを示すフローチャート。

【図4】クリティカルな経路を識別する、別のステップを示すフローチャート。

【符号の説明】

10 デジタル集積回路

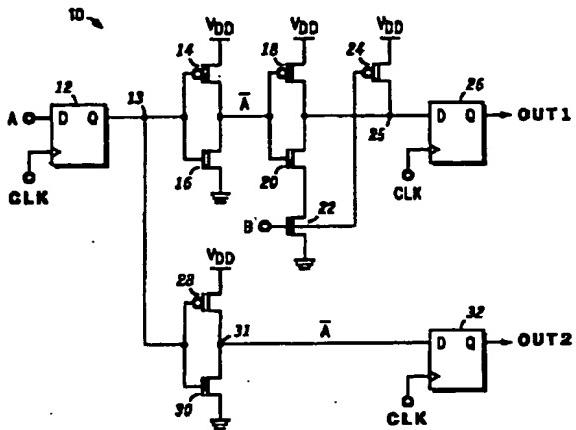
12, 32 D-型フリップフロップ

13, 25, 31 ノード

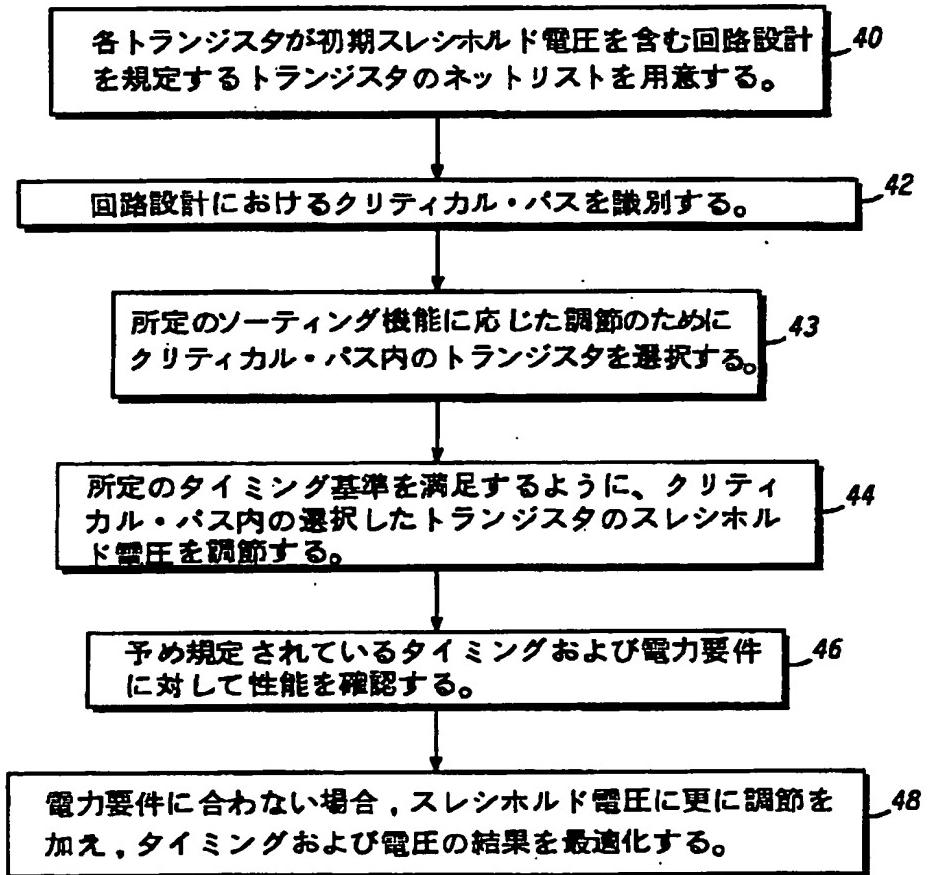
14, 16, 18, 20, 22, 24, 28, 30 トランジスタ

26 フリップフロップ

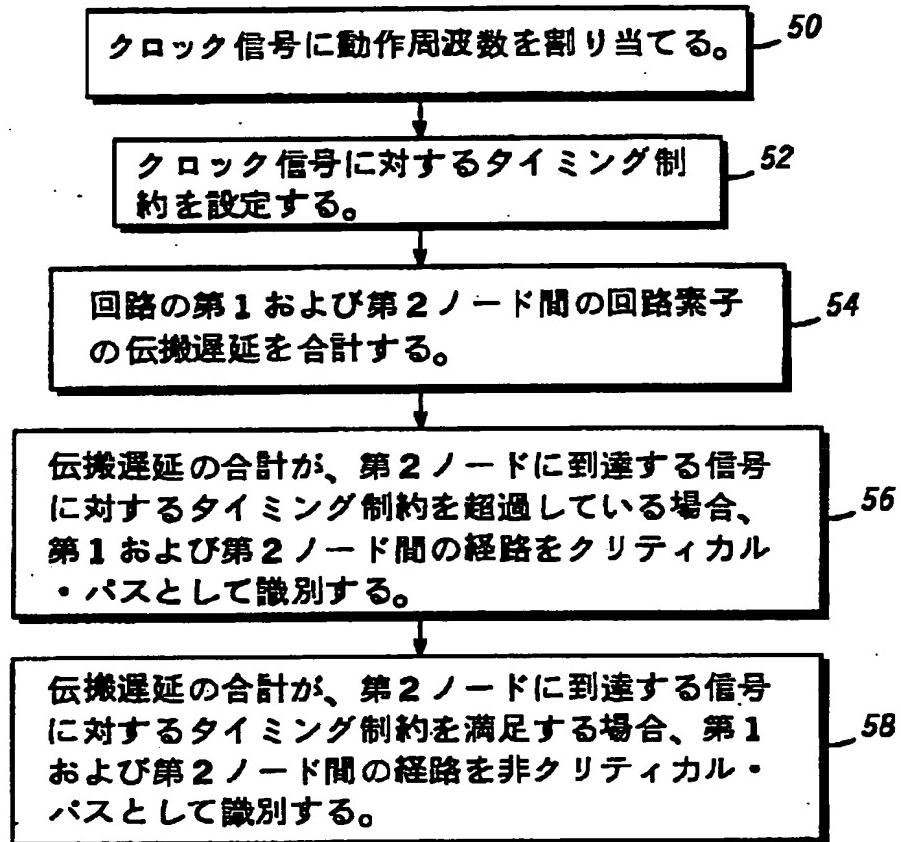
【図 1】



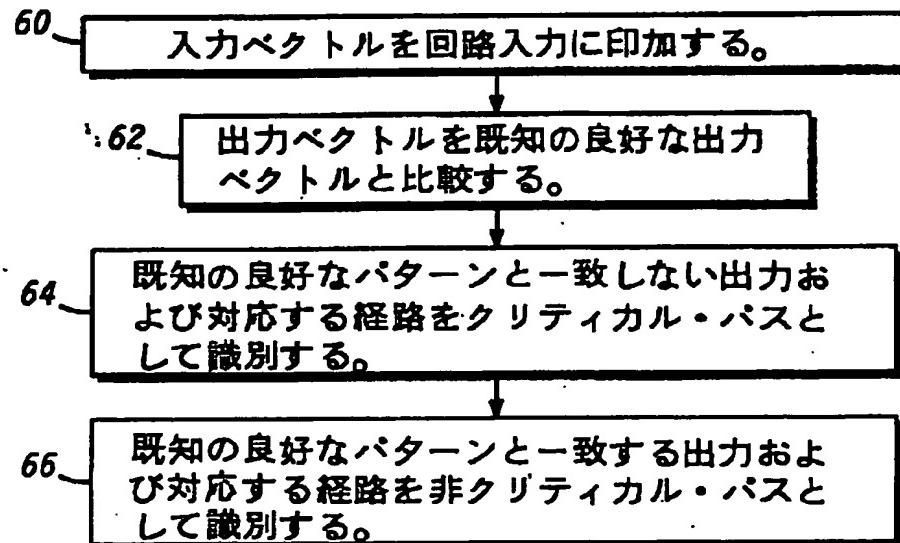
【図 2】



【図3】



【図4】



フロントページの続き

(72)発明者 スレイマン・エヌ・チャモン
アメリカ合衆国アリゾナ州フェニックス、
イースト・ロック・ウレン・ロード4106

(72)発明者 カレン・エス・レイモンディックタ
アメリカ合衆国アリゾナ州フェニックス、
イースト・インディアン・スクール・ナン
バー11、4955